

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-016425

(43)Date of publication of application : 19.01.1996

(51)Int.CI.

G06F 11/22
G06F 15/78

(21)Application number : 06-151136

(71)Applicant : TOPPAN PRINTING CO LTD

(22)Date of filing : 01.07.1994

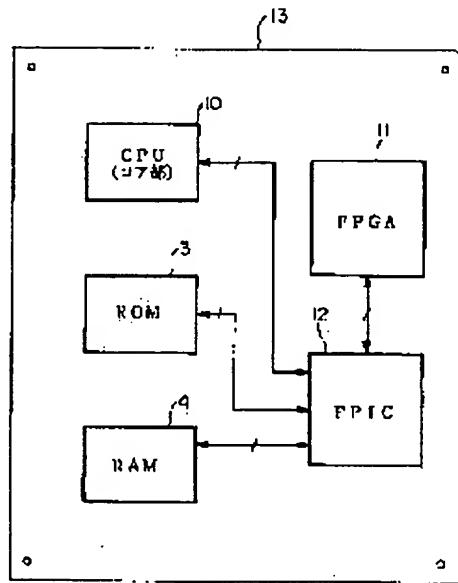
(72)Inventor : NAKAJIMA TOSHIO
ICHIKAWA TOMOOKI

(54) INSPECTION BOARD FOR ONE-CHIP MICROCOMPUTER

(57)Abstract:

PURPOSE: To provide the one-chip microcomputer inspection board which is repeatedly usable without reference to an applied system and can be developed in a short time.

CONSTITUTION: A logical function which is necessary except for a CPU 10, a ROM 3, and a RAM 4 is written in FPGA11 and the connection contents of the devices are written in FPIC12. The input/output terminals of the FPIC12 and the input/output terminals of the CPU 10, ROM 3, RAM 4, and FPGA11 are connected by printed circuits on a printed wiring board. Consequently, the one-chip microcomputer inspection board can be formed only by the formation of the FPGA11 and FPIC12 and is easily applicable to other systems and repeatedly usable.



LEGAL STATUS

[Date of request for examination] 25.06.2001

[Date of sending the examiner's decision of rejection] 01.04.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-16425

(43)公開日 平成8年(1996)1月19日

(51)Int.Cl.⁶
G 0 6 F 11/22
15/78

識別記号 庁内整理番号
3 4 0 C
5 1 0 K

F I

技術表示箇所

審査請求 未請求 請求項の数2 O L (全4頁)

(21)出願番号 特願平6-151136

(22)出願日 平成6年(1994)7月1日

(71)出願人 000003193

凸版印刷株式会社

東京都台東区台東1丁目5番1号

(72)発明者 中島 利男

東京都台東区台東一丁目5番1号 凸版印
刷株式会社内

(72)発明者 市川 共興

東京都台東区台東一丁目5番1号 凸版印
刷株式会社内

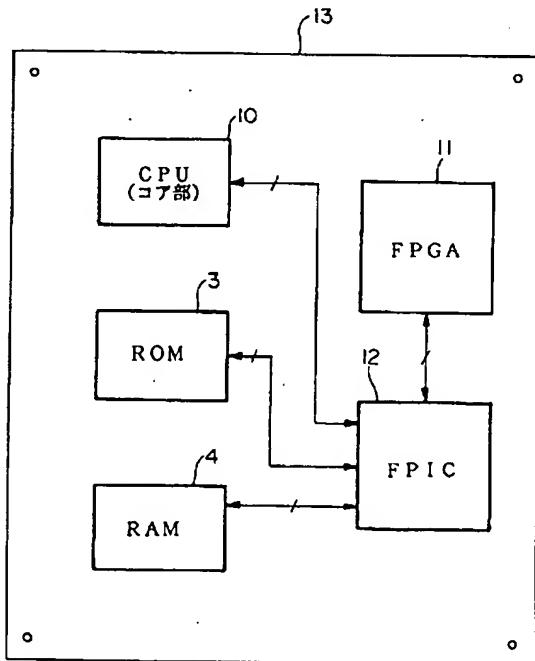
(74)代理人 弁理士 志賀 正武 (外2名)

(54)【発明の名称】 1チップマイコン用検証ボード

(57)【要約】

【目的】 適用するシステムに左右されずに繰り返し利用でき、短期間で開発可能な1チップマイコン用検証ボードを提供する。

【構成】 FPGA(11)には、CPU(10)、ROM(3)、およびRAM(4)以外に必要となる論理機能が書き込まれ、F PIC(12)には、上記各デバイスの接続内容が書き込まれる。そして、F PIC(12)の入出力端子と、CPU(10)、ROM(3)、RAM(4)、およびFPGA(11)の入出力端子とが、プリント配線板のプリント配線により各自接続される。このため、FPGA(11)およびF PIC(12)の作成のみで、1チップマイコン用検証ボードが作成でき、他のシステムにも容易に適用できるとともに、繰り返し利用可能となる。



2

【特許請求の範囲】

【請求項1】 演算およびデータ処理を行う中央処理装置と、

前記中央処理装置において使用されるプログラムが書き込まれた第1の記憶装置と、

データー時記憶用の第2の記憶装置と、

所定の論理回路が形成されたプログラマブル論理回路と、

前記中央処理装置、第1、第2の記憶装置、プログラマブル論理回路の各入出力端子間の接続状態が書き込まれたプログラマブル配線素子と、

前記中央処理装置、第1、第2の記憶装置、プログラマブル論理回路、プログラマブル配線素子が各々実装され、かつ、前記中央処理装置、第1、第2の記憶装置、プログラマブル論理回路の各入出力端子を各々前記プログラマブル配線素子の端子へプリント配線によって接続するプリント基板と、

を具備してなる1チップマイコン用検証ボード。

【請求項2】 前記第1の記憶装置、プログラマブル論理回路、プログラマブル配線素子が各々交換可能に構成されていることを特徴とする請求項1記載の1チップマイコン用検証ボード。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、1チップマイコンの論理検証に用いられる1チップマイコン用検証ボードに関する。

【0002】

【従来の技術】 1チップのLSI（大規模集積回路）中にCPU、ROM、RAM、インターフェース回路等を組み込んだマイクロコンピュータ（以降、1チップマイコンと称す）を開発する場合、システム設計および論理設計、回路設計の終了後、あるいは論理設計、回路設計と並行して論理の検証を行うためのボード（以降、1チップマイコン用検証ボードと称す）を作成するのが一般的である。

【0003】 図3は、従来の1チップマイコン用検証ボードの構成例を示す図である。この図において、1はエバレーションボードであり、既製のCPUであるCPU2、マイコンのシステム用プログラムが書き込まれているROM3、およびRAM4が実装され、プリント配線がなされている。これらエバレーションボード1は、基本的に1チップマイコンを適用するシステムによって変化しない共通部分の構成を持つため、着脱可能な状態で設置されているROM3を書換／交替することにより他の1チップマイコン用検証ボードに再利用される。

【0004】 また、6はユーザボードであり、適用されるシステムによって変化する制御回路などが、複数のIC（集積回路）71、72・・・により構成され、それらがユーザボード6に施されたプリント配線により接続

される。また、このユーザボード6は、コネクタ5を介して上記エバレーションボード1と接続され、両ボード1および6の各デバイスが互いに接続される。

【0005】 図4は、上述した1チップマイコン用検証ボードの機能ブロックを例示した図であり、図3に対応する部分には同一の符号を付けその説明を省略する。図4(a)において、21はCPUであり、マイコンのコア部21a、8個のI/O（入出力）ポートからなるI/O部21b、および2チャンネル(ch)のレジスタ部21cからなる。また、61はユーザボード6上に構成されるユーザ回路である。上記I/O部21b、およびレジスタ部21cからなる周辺部を、このユーザ回路61で構成することも可能ではあるが、回路および配線の簡素化のため周辺部を持ったCPU21を利用する。

【0006】 一方、図4(b)は比較的大規模な1チップマイコン用検証ボードの機能ブロックを例示した図であり、ここでは、図4(a)のCPU21とは異なるCPU22が用いられている。このCPU22は、CPU21と同一のコア部21aと、20個のI/OポートからなるI/O部22b、および4チャンネルのレジスタ部22c、さらにタイマカウンタ部22dからなる。また、62はユーザ回路である。

【0007】

【発明が解決しようとする課題】 ところで、上述したユーザボード6は、適用するシステムによって使用するIC71、72・・・の種類とプリント配線が変化するものであり、1チップマイコン用検証ボードの作成を行う度に、新規のユーザボード6を作成しなければならなかった。また、同一のコア部を利用できる場合でも、その周辺部が異なる場合には、CPU2の種類を替えなければならず、エバレーションボード1においても変更が必要となる。このため、プリント配線板の作成やICの設置、組立などのため、作成期間が長くなるとともに、コスト高になるという問題があった。

【0008】 この発明は、適用するシステムに左右されずに繰り返し利用でき、短期間で作成可能な1チップマイコン用検証ボードを提供することを目的としている。

【0009】

【課題を解決するための手段】 以上の課題を解決するために、請求項1記載の発明は、演算およびデータ処理を行う中央処理装置(CPU)と、前記中央処理装置において使用されるプログラムが書き込まれた第1の記憶装置(ROM)と、データー時記憶用の第2の記憶装置(RAM)と、所定の論理回路が形成されたプログラマブル論理回路(FPGA)と、前記中央処理装置、第1、第2の記憶装置、プログラマブル論理回路の各入出力端子間の接続状態が書き込まれたプログラマブル配線素子(FPIC)と、前記中央処理装置、第1、第2の記憶装置、プログラマブル論理回路、プログラマブル配線素子が各々実装され、かつ、前記中央処理装置、第

1. 第2の記憶装置、プログラマブル論理回路の各入出力端子を各々前記プログラマブル配線素子の端子へプリント配線によって接続するプリント基板とを具備してなる。

【0010】また、請求項2記載の発明は、請求項1記載の発明において、前記第1の記憶装置、プログラマブル論理回路、プログラマブル配線素子が各々交換可能に構成されていることを特徴とする。

【0011】

【作用】この発明によれば、適用するシステムに対応して変化する回路をFPGAで構成し、各デバイスの接続をFPICTがまとめて切り替えることが可能となるため、1チップマイコン用検証ボードの開発期間が大幅に短縮される。

【0012】

【実施例】以下、図面を参照して、この発明の一実施例について説明する。図1は、この実施例による1チップマイコン用検証ボードの構成を示すブロック図であり、図3と対応する部分には同一の符号を付けその説明を省略する。

【0013】図1において、10はコア部のみを有するCPUであり、例えばコア部21a(図4参照)と同一機能のものが用いられる。11はFPGA(Field Programmable Gate Array)であり、図示しない開発システムによって論理機能を書き込むことにより、任意の回路を簡単かつ短期間で実現できるものである。また、12はFPICT(Field Programmable Inter Conector)であり、他の開発システム(図示略)によって複数の入出力端子間を任意に接続できるものである。

【0014】また、CPU10、ROM3、RAM4、FPGA11、およびFPICT12は、多層のプリント配線板13上に配置され、これらのうちのROM3、FPGA11、およびFPICT12は、図示しないソケットを介して抜き差し可能な状態で接続されている。また、プリント配線板13には、CPU10、ROM3、RAM4、およびFPGA11の全ての入出力端子が、FPICT12の入出力端子に各々接続されるように予めプリント配線がなされている。

【0015】図2は、上述した1チップマイコン用検証ボード13の機能ブロックを例示した図であり、図1に対応する部分には同一の符号を付けその説明を省略する。また、図2(a)は従来例である図4(a)と対応し、図2(b)は従来例である図4(b)と対応して、各々同一の機能を持ったものを示している。

【0016】図2(a)に示すFPGA11には、図4(a)に示すユーザ回路61の他に、I/O部21bおよびレジスタ部21cに対応する論理機能が書き込まれている。同様に、図2(b)に示すFPGA11には、図4(a)に示すユーザ回路62の他に、I/O部22b、レジスタ部22cおよびタイマカウンタ22dに対

応する論理機能が書き込まれている。また、各デバイス3、4、10、11、12の種類およびそれらのデバイスの接続は、適用するシステムに関係なく同一である。

【0017】次に、この実施例の開発手順について説明する。まず、FPGAの開発システムを用いて、1チップマイコンを適用するシステム固有の論理機能、例えば図4(a)のユーザ回路61、I/O部21bおよびレジスタ部21cと対応する論理機能をFPGA11に書き込む。そして、FPICTの開発システムを用いて、FPICT12～CPU10、ROM3、RAM4、およびFPGA11間の入出力端子の接続状態を設定する。そして、これらFPGA11と、FPICT12と、すでにシステムプログラムを書き込んでいるROM3とをプリント配線板13の対応するソケットに各々差し込む。これにより、1チップマイコン用検証ボードが完成する。

【0018】また、新たに1チップマイコン用検証ボードを開発する場合には、上述した手順で、適用するシステムに対応したROM3、FPGA11、およびFPICT12を新たに作り、対応するソケットのデバイスと差し替えるだけで、新たに1チップマイコン用検証ボードが実現される。

【0019】また、検証過程において論理機能の誤りや配線の誤りが検出された場合には、上述した開発システムにおいて、その修正を行った新たなFPGA11またはFPICT12を作成し、それらを修正前のものと交替すればよい。

【0020】このように、本実施例による1チップマイコン用検証ボードは、適用するシステムが替わっても配線などの煩わしい作業が必要なく、繰り返し再利用が可能である。また、回路ミス、配線ミスなどがあった場合にも、その修正を容易に行うことができる。

【0021】

【発明の効果】以上説明したように、請求項1記載の発明によれば、適用するシステムに対応して変化する回路をプログラマブル論理回路で構成し、各デバイスの接続をプログラマブル配線素子がまとめて切り替えるため、1チップマイコン用検証ボードの作成期間が大幅に短縮されるとともに費用が安価になる効果が得られる。

【0022】また、請求項2記載の発明によれば、第1の記憶装置、プログラマブル論理回路、プログラマブル配線素子が簡単に交換可能となるため、同一の1チップマイコン用検証ボードを繰り返し再利用できるという効果が得られる。

【図面の簡単な説明】

【図1】この発明の一実施例による1チップマイコン用検証ボードの構成を示すブロック図である。

【図2】図1の1チップマイコン用検証ボードの機能ブロックを例示した図である。

【図3】従来の1チップマイコン用検証ボードの構成を示す図である。

【図4】 図3の1チップマイコン用検証ボードの機能ブロックを例示した図である。

【符号の説明】

2 CPU

3 ROM

4 RAM

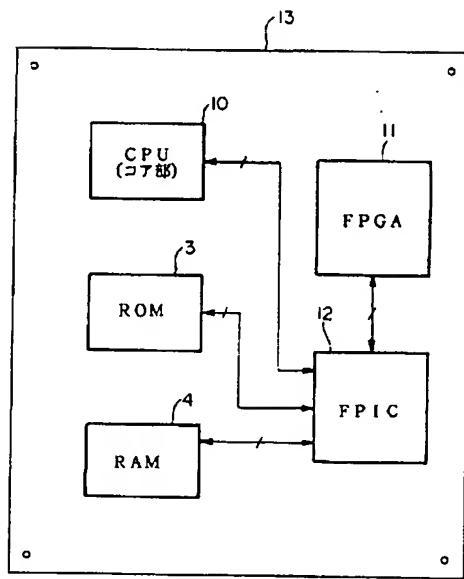
10 CPU (コア部)

11 FPGA (プログラマブル論理回路)

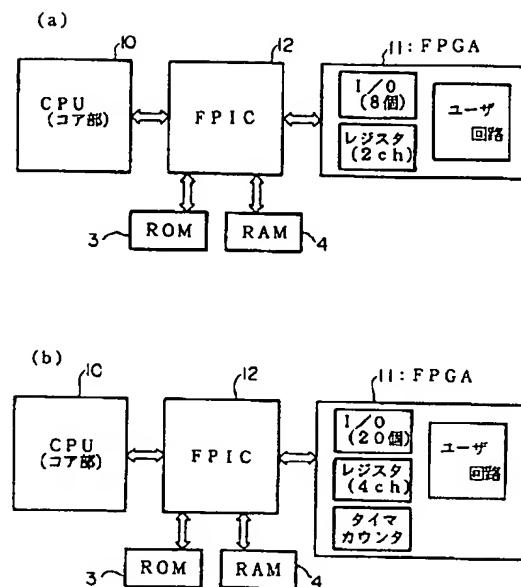
12 PIC (プログラマブル配線素子)

13 プリント配線板

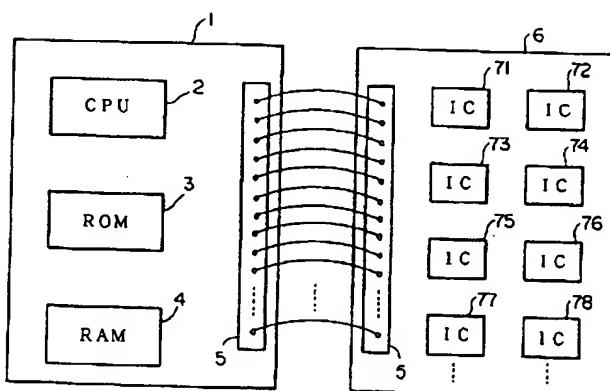
【図1】



【図2】



【図3】



【図4】

